



# 48V化で向上する配電性能

## 48V 化で向上する配電性能



フィル・デバイス

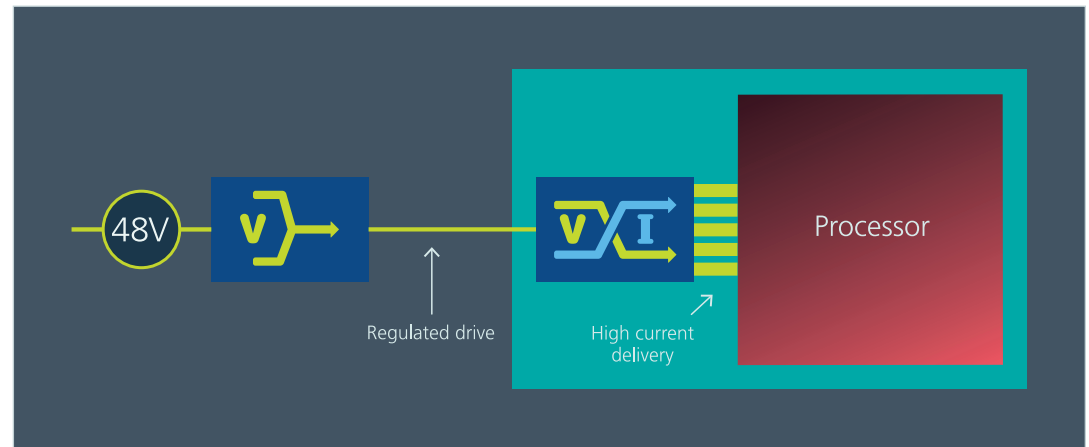
電力供給ネットワーク (PDN) は、あらゆる電源システムの基盤です。システムの電力需要が高まるにつれて、従来の PDN では十分な性能を提供することが困難になりつつあります。電源システム全体の電力損失と熱管理を改善するためには PDN の性能を向上させる必要があり、主に次の 2 つの方法があります。1 つめは、ケーブルやコネクタを大型化し、マザーボードの電源プレーンの厚みを増して、PDN の抵抗を低減することです。2 つめは、PDN の電圧を上げ、電流を低減することです。電流を減らすことで、ケーブル、コネクタ、マザーボードの銅プレーンの小型化ができ、これらのサイズ、コスト、重量を削減することができます。

これまで長年にわたり 1 つめの方法が使われてきました。これは、単相 AC-DC コンバータ、12V DC-DC コンバータ、およびレギュレータからなる数十年にわたって構築されてきた大規模なエコシステムの存在があり、それらとの互換性を維持する必要があるためです。そのほかの理由に、高電圧から負荷点 (PoL) の低電圧に直接効率良く変換するための DC-DC コンバータのトポロジが限られていたことや、そのような高電圧コンバータやレギュレータはコストが高いことが挙げられます。

しかし、最近の電源設計では、2 つめの方法、つまり、PDN に高電圧を採用する方法が増えています。これは、システムの電力が大幅に増大したことに起因します。データセンターでは、AI (人工知能)、機械学習、およびディープラーニングを導入することで、1 ラック当たりの電力が 20kW レベルまで急増しました。さらに、スーパーコンピュータのサーバーラックでは 1 ラック当たり 100kW に達しようとしています。

図 1

理想的な POL 給電システム。レギュレータは、 $V_{IN} = V_{OUT}$  の場合に効率が最大になります。大電流を供給するときは負荷の直近から給電すると、 $I^2R$  損失が最小になるため高効率になります。



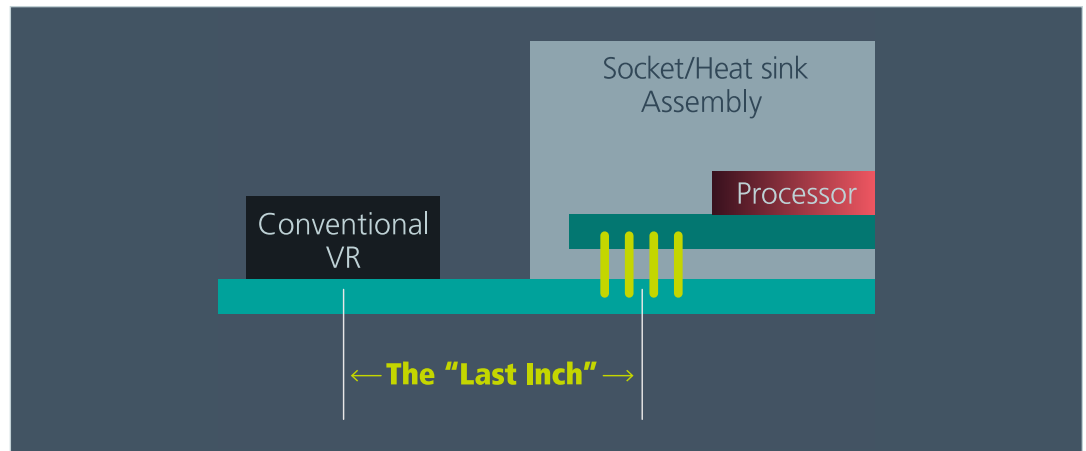
最新の CPU や AI プロセッサはとても大きな電力を消費します。増大する電力に対応するため、配電システム全体 (ラックへの配電からラック内の配電、さらにはサーバーブレード上の PDN まで) の見直しが必要です。ラックの電力が 5kW レベルだった頃、ラックへの給電は通常、単相 AC が使用されていました。AC は 12V に変換され、サーバーブレードに配電されていました。5kW レベルの PDN の電流は 416A (5kW/12V) となり、きわめて太いケーブルによって配電されていました。

2015 年頃にはプロセッサの電力が飛躍的に増大し始めたことに伴い、ラックの電力は 12kW レベルになりました。そのため、12V の PDN では、ラック内で 1kA もの大電力を扱う必要が生じました。OCP (Open Compute Project) コンソーシアム (参加組織の多くがクラウド、サーバー、CPU 企業) は、12V ラックの設計を継続的に進化させており、配電ケーブルをバスバーに変更し、ラック内に複数の単相 AC-12V コンバータを分散配置することで、サーバーブレードまでの PDN の距離と抵抗値を最小限に抑えました。ラック給電について変更された主な点は、ラックへ 3 相 AC を引いて、その各相から単相 AC を得るようになった点です。

ラックとデータセンターソリューションを独自に構築できる企業は、48V 配電に移行し始めており、これにより 12kW ラックの PDN の電流は 250A まで低減しました。しかし、ブレードの電力変換が新たな課題になりました。

図 2

大電力のプロセッサに給電する場合、「最後の 1 インチ」が障害となります。Vicor の技術はこの点を改善し、マザーボード設計をシンプルにします。



ラックの消費電力が 20kW を超えたことに伴い、サーバーラックの PDN 設計の進化が続いています。従来の 12V システムを維持する試みが多方面で行われていますが、データセンターに AI を導入し、プロセッサの定常状態で 1kA 超、ピーク電流は 2kA に迫る状況では、12V ベースの PDN ではとても対応することはできません。AI の性能が 12V PDN によって制限を受けることとなり、結果として、性能のみならず競争力もそがれてしまうのです。

大電力ラックの多くの課題に対処するため、OCP コンソーシアムは 48V PDN 対応のラックを導入する方針へと舵を切りました。12V 配電から 48V に移行すると、入力電流を 4 分の 1 ( $I = P / V$ ) に、損失を 16 分の 1 (電力損失 =  $I^2R$ ) に低減することができます。さらに、車載および 5G 産業、LED 照明、ディスプレイ、および他の産業用アプリケーションでも 48V 配電に移行しています。このように、48V 電源のエコシステムが急速に拡大しています。48V への移行はビジネス上合理的です。しかし、すべての 48V コンバータのトポロジとアーキテクチャが同じというわけではありません。市場に出回る 48V コンバータの性能には大きな違いがあるため、慎重に検討しなければなりません。

大電力ラックおよびデータセンターに要求される最重要事項は、高い性能と電力効率です。そのため、ブレードへの配電のために三相 AC-48V の AC-DC コンバータの採用をはじめた企業もあります。ラック内で、配電された高電圧 DC (整流された 3 相 AC から得られる 380V) を使う場合もあります。一部の高性能コンピューティング (HPC) の企業では、最大 100kW のラックに HVDC PDN を使用しています。

ブレードに給電する PDN が 48V に変わると、ブレード内のコンバータを変更する必要がでてきます。それに伴い、DC-DC コンバータとレギュレータのアーキテクチャ、トポロジ、パッケージングの置換えが生じます。

48V 系は、データセンターサーバー用途では新しいシステムですが、ルーターやネットワークスイッチなどの通信アプリケーションでは、-48V 鉛蓄電池の充電式バックアップバッテリーシステムとして一般的になっています。データセンターサーバーで従来から使用されている一般的なアーキテクチャは、中間バスアーキテクチャ (IBA) と呼ばれるものです。IBA は、-48V を +12V に変換するための絶縁型の非安定化バスコンバータで構成されており、負荷点に配置するマルチフェーズ方式バック型レギュレータへ給電します。あるクラウドコンピューティング企業と HPC 企業が、当初 48V システム用にこのアーキテクチャを採用しましたが、電力が増大し、負荷デバイスの電圧が 1V 以下に低下したため、別のアーキテクチャとトポロジが必要になりました。

高性能かつ高電力密度を実現するためには、適切な電源システムアーキテクチャ、スイッチングトポロジ、およびパッケージング技術が不可欠です。AI およびプロセッサの消費電流が上昇すると、レギュレータと負荷デバイス間の PDN 抵抗の影響が増大するため、大電力の POL コンバータを高密度に実装することが重要になります。

最先端の AI プロセッサは、定常電流は 1kA、ピーク電流は 1.5 ~ 2kA に達します。従来のマルチフェーズ方式バックレギュレータの出力からプロセッサまでの標準的な PDN 抵抗が、200 ~ 400 $\mu\Omega$  であることを考えると、PCB の電力損失は、定常状態で 200 ~ 400W ( $P = I^2R$ ) となります。この電力損失はとても大きく、どんなシステムでも許容できないでしょう。

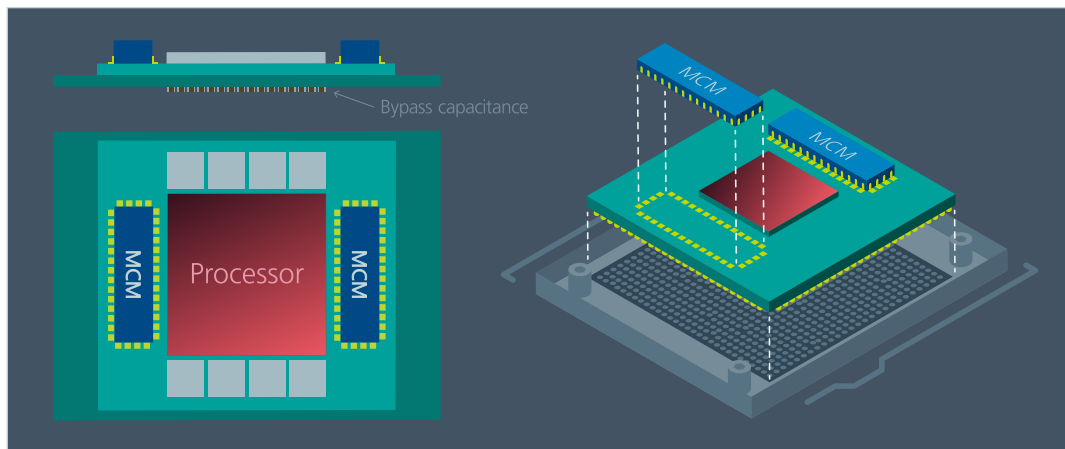
PDN の電力損失は、DC-DC レギュレータの効率と性能に関して致命的な影響を与えます。これは負荷点の問題ですので、電力を減らすための高電圧化の対処はできません (PoL 電圧はムーアの法則に従って急速に低下している)。そのため、唯一の合理的なアプローチは、できる限りプロセッサの近傍にレギュレータを配置し、PDN 抵抗を低減することです。マルチフェーズ方式バックレギュレータの場合、通常、AI プロセッサ用の大電流を供給するには 16 ~ 24 フェーズが必要となりますが、これはもはや電流密度が高い手法とは言えず、PDN の電力損失の問題を解決できません。

## Factorized Power Architecture

IBAに代わる手段のひとつが、Vicor Factorized Power Architecture (FPA™)です。これは、前段の定電圧ステージ (PRM™) とそれに続く電圧変換ステージ (VTM™) で構成されています。この独自のアーキテクチャを採用することで、各ステージを、もっとも性能が上がる構成にすることができます。PRMは、非絶縁で48V (48Vは安全特別低電圧、SELV)を定電圧化します。高精度に定電圧化された48Vを負荷点 (PoL) の電圧へ変換するのは、電圧変換比固定コンバータであるVTMです (出力電圧と入力電圧の比は固定値)。

図3

MCMモジュールは大電流を供給でき、マザーボードまたはプロセッサのサブストレート上に、プロセッサに隣接して配置することができます。この近接の配置により、PDNの損失が最小限に抑えられると同時に、プロセッサのサブストレートに必要な電源用のBGAピンの数が削減できます。

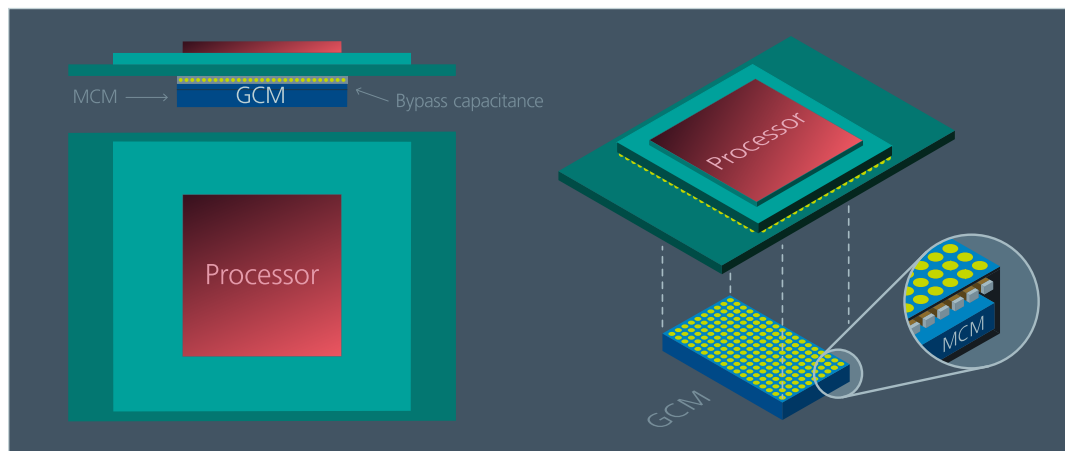


このアーキテクチャと高い性能が実現できたのは、PRMおよびVTMに独自の回路トポロジを用いているからです。PRMはゼロ電圧スイッチングトポロジを、VTMは独自のSine Amplitude Converter (SAC™)トポロジを用いています。VTMは基本的に、入力電圧を1/Kの比率で降圧し、同時に電流をK倍することができる直流のトランスです。VTM (または、カレントマルチプライヤ)は、電流密度の高いPoLコンバータ (現製品は2A/mm<sup>2</sup>に達する)であり、革新的なChiP™パッケージング技術と磁性体素子を高度に集積したことにより、プロセッサのごく近傍に配置することができます。

このように電流密度が非常に高いためフレキシブルな配置が可能であり、プロセッサの消費電流に応じて、水平方向または垂直方向の給電方法 (LPDおよびVPD)を選択できます。LPD方式では、カレントマルチプライヤはAIプロセッサから数mm以内の同一サブストレート上、あるいは、マザーボード上に実装できるため、PDN抵抗は約50μΩに低減できます。

図4

垂直電力給電 (VPD)により、配電損失とVRのPCB面積がさらに削減できます。VPDはVicorのLPDソリューションと同様に、バイパスコンデンサがカレントマルチプライヤまたはGCM™モジュールに集積されます。



さらに高い性能を実現するためVPD方式では、カレントマルチプライヤをプロセッサの真裏に配置します。このとき、電源出力ピンの位置は、表面のプロセッサの電源ピンと、ピッチと位置を一致させます。また、カレントマルチプライヤのパッケージには、通常はプロセッサ直裏のマザーボードまたはサブストレート上に実装される高周波用バイパスコンデンサも集積されます。このタイプのカレントマルチプライヤを、GCM (Geared Current Multiplier)と呼びます。VPDを用いることでPDN抵抗を5~7μΩと非常に低くすることができるため、AIプロセッサは本来の性能を発揮できるようになります。

---

## 結論

大電力給電に伴って生ずる複雑な問題を解決して、高い配電性能を実現するためには、包括的な設計アプローチが必要です。最も困難な電力の課題を解決するためには、アーキテクチャ、トポロジ、およびパッケージの刷新をしなければなりません。高電圧の PDN は、給電システムの多くの課題を解決できます。HPC および AI が確実に性能を発揮する次世代電源システムを実現するためには、PDN 抵抗を低減することが鍵になります。

お問合せ先：

Vicor 株式会社 (Vicor KK)

Tel: 03-5487-3016 (代表) 03-5487-5407 (技術サポート)

E-mail: [sales\\_vkk@vicorpower.com](mailto:sales_vkk@vicorpower.com)

Web: [vicorpower.com/ja-jp/contact-us](http://vicorpower.com/ja-jp/contact-us)

※ 日本語版資料は Revision が古い場合があります。最新の内容については、英語版をご参照ください。

©2020 Vicor Corporation. All rights reserved. Vicor は Vicor Corporation の登録商標です。  
その他のすべての商標、製品名、ロゴおよびブランドの権利は、それぞれの所有者が保有しています。